

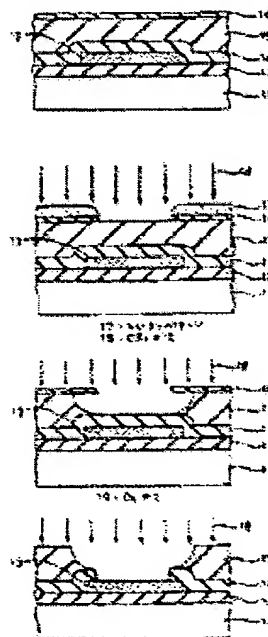
MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent number: JP2025024
Publication date: 1990-01-26
Inventor: MOCHIZUKI HIROSHI; KOYAMA TORU
Applicant: MITSUBISHI ELECTRIC CORP
Classification:
- international: H01L21/302; H01L21/3065; H01L21/768; H01L23/522;
H01L21/02; H01L21/70; H01L23/52; (IPC1-7):
H01L21/302; H01L21/90
- european:
Application number: JP19880175520 19880713
Priority number(s): JP19880175520 19880713

Report a data error here

Abstract of JP2025024

PURPOSE:To enable a pattern to be formed by applying only one time photolithography by a method wherein an inorganic insulating film, a surface protective film and another inorganic insulating film are successively and selectively dryetched using a resist pattern formed on the topmost layer as a mask. **CONSTITUTION:**An Al electrode wiring 13 is selectively formed on an Si semiconductor substrate 11 through the intermediary of an inorganic insulating film 12 to deposition-form another inorganic insulating film 14 on the wiring 13. Successively, a surface protective film 15 comprising an organic insulating film is formed on the film 14. First, the other inorganic insulating film 16 is deposition-formed on the film 15. Later, a resist pattern 17 is formed on the film 16 to make a pattern opening in the film 16 using the pattern 17 as a mask. Secondly, the film 16 is selectively dryetched away to make an opening using the opened film 16 as a mask. Finally, the film 14 is selectively dryetched away to make an opening using the films 16 and 15 as masks. At this time, the film 15 can be pattern-formed by simultaneously etching away the film 16. Through these procedures, the surface protective film 15 can be pattern-formed by applying only one time photolithography.



Data supplied from the esp@cenet database - Worldwide

⑯ 日本国特許庁(JP)

⑰ 特許出願公開

⑫ 公開特許公報(A) 平2-25024

⑮ Int. Cl.⁵

H 01 L 21/302
21/90

識別記号

H
S

庁内整理番号

8223-5F
6824-5F

⑬ 公開 平成2年(1990)1月26日

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 半導体装置の製造方法

⑱ 特 願 昭63-175520

⑲ 出 願 昭63(1988)7月13日

⑳ 発 明 者 望 月 弘 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

㉑ 発 明 者 小 山 徹 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

㉒ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉓ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

半導体基板上に第1の無機絶縁膜を介して電極配線を選択的に形成させ、かつこの電極配線の上に第2の無機絶縁膜を堆積させる工程と、前記第2の無機絶縁膜上に有機絶縁膜からなる表面保護膜を形成させる工程と、前記表面保護膜上に第3の無機絶縁膜を堆積させる工程と、前記第3の無機絶縁膜上にレジストパターンを形成し、これをマスクに第3の無機絶縁膜を選択的にドライエッチングしてパターン開口させる工程と、パターンニングされた第3の無機絶縁膜をマスクに前記表面保護膜を選択的にドライエッチングしてパターン開口させ、かつ同時に前記レジストパターンを除去する工程と、パターンニングされた表面保護膜をマスクに前記第2の無機絶縁膜を選択的にドライエッチングしてパターン開口させ、かつ同時に前記第3の無機絶縁膜を除去する工程とを含むことを

特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体装置の製造方法に関し、さらに詳しくは、半導体装置における半導体チップでの有機絶縁膜を用いた表面保護膜のパターン形成方法の改良に係るものである。

(従来の技術)

従来例でのこの種の半導体チップにおける有機絶縁膜を用いた表面保護膜のパターン形成方法の主要な工程段階を第3図(a)ないし(d)にそれぞれ模式的に示してある。

すなわち、これらの第3図において、従来例での半導体チップにおける表面保護膜のパターン形成方法は、シリコン半導体基板1上にあつて、まず、例えば、CVD(Chemical Vapor Deposition)法などにより、酸化珪素膜などの無機絶縁膜による第1の絶縁膜2を堆積形成させ、かつこの第1の絶縁膜2の表面上を、スパッタ法などにより、アルミ層、またはアルミ・シリコン合金層で被覆し

たのち、写真製版法により、同層上にネガ型、あるいはポジ型レジストを塗布し、所定のパターンに露光、現像させると共に、このレジストパターンをマスクに用い、ウェット、またはドライエッチングして、パターニングされたアルミ電極配線3を選択的に形成させ、かつこのアルミ電極配線3上に、CVD法などにより、窒化珪素膜などの無機絶縁膜による第2の絶縁膜4を堆積形成させる(第3図(a))。

続いて、前記第2の絶縁膜4上に、写真製版法により、ネガ型、あるいはポジ型レジストを塗布し、これを所定のパターンに露光、現像させたのち、 CF_4 ガス8により、このパターニングされたレジストパターン7をマスクに用い、第2の絶縁膜4を選択的にドライエッチングしてパターン開口させる(同図(b))。

その後、前記マスクに用いたレジストパターン7を O_2 ガス8により灰化除去してから、これらの上にチップ表面を保護するバッファークコート膜として、ポリイミド膜からなる有機絶縁膜を用い

ドライエッチングできないので、通常でのレジストパターンをマスクにしたドライエッチングが不可能であり、このため、必然的にウェットエッチングを採用せざるを得ず、このウェットエッチングによるときは、アルミ電極3の表面が荒れ易く、チップの信頼性上、好ましくないと言う問題点があった。

この発明は、従来のこのような問題点を解消するためになされたものであつて、その目的とするところは、有機絶縁膜を用いた表面保護膜のパターン形成に伴う写真製版工程を1回のみで済ませるようにすると共に、同パターン形成におけるすべてのエッチング操作をドライ処理し得るようにした、この種の半導体装置の製造方法、こゝでは有機絶縁膜を用いた表面保護膜のパターン形成方法を提供することである。

(課題を解決するための手段)

前記目的を達成するために、この発明に係る半導体装置の製造方法は、電極配線上に第2の無機絶縁膜、有機絶縁膜からなる表面保護膜、第3の

表面保護膜5を塗布形成する(同図(c))。

さらに、前記表面保護膜5上に、再度、写真製版法により、ネガ型、あるいはポジ型レジストを塗布し、これを所定のパターンに露光、現像させたのち、このパターニングされたレジストパターンをマスクに用い、この表面保護膜5を前記第2の絶縁膜4での開口部よりも大きく選択的にウェットエッチングしてパターン開口させ、かつ最後にマスクに用いたレジストパターンを除去するもので(同図(d))、このようにして、所期通りにチップ表面を保護する有機絶縁膜を用いた表面保護膜5をパターン形成するのである。

(発明が解決しようとする課題)

しかしながら、前記のようにしてなされる従来の有機絶縁膜を用いた表面保護膜5のパターン形成方法においては、アルミ電極配線3のパターン形成後、2回に亘つて写真製版工程を必要としているため、その作業が極めて煩雑になり、非常に手間取るばかりか、表面保護膜5としてのポリイミド膜については、 O_2 ガスによつてのみしかド

無機絶縁膜を順次に堆積させ、最上層に形成されるレジストパターンをマスクにして第3の無機絶縁膜を、この第3の無機絶縁膜をマスクにして表面保護膜を、この表面保護膜をマスクにして第2の無機絶縁膜をそれぞれ順次選択的にドライエッチングしてパターン開口させるようにしたものである。

すなわち、この発明は、半導体基板上に第1の無機絶縁膜を介して電極配線を選択的に形成させ、かつこの電極配線上に第2の無機絶縁膜を堆積させる工程と、前記第2の無機絶縁膜上に有機絶縁膜からなる表面保護膜を形成させる工程と、前記表面保護膜上に第3の無機絶縁膜を堆積させる工程と、前記第3の無機絶縁膜上にレジストパターンを形成し、これをマスクに第3の無機絶縁膜を選択的にドライエッチングしてパターン開口させる工程と、パターニングされた第3の無機絶縁膜をマスクに前記表面保護膜を選択的にドライエッチングしてパターン開口させ、かつ同時に前記レジストパターンを除去する工程と、パターニ

ングされた表面保護膜をマスクに前記第2の無機絶縁膜を選択的にドライエッチングしてパターン開口させ、かつ同時に前記第3の無機絶縁膜を除去する工程とを含むことを特徴とする半導体装置の製造方法である。

(作 用)

従つて、この発明方法においては、電極配線上に第2の無機絶縁膜、有機絶縁膜からなる表面保護膜、第3の無機絶縁膜を順次に堆積させておき、この状態で、最上層に写真製版法で形成されるレジストパターンをマスクにして第3の無機絶縁膜を、この第3の無機絶縁膜をマスクにして表面保護膜を、この表面保護膜をマスクにして第2の無機絶縁膜をそれぞれ順次選択的にドライエッチングしてパターン開口させるようにしているために、1回の写真製版法によるのみで、所期通りの半導体チップでの有機絶縁膜による表面保護膜をパターン形成でき、かつこのパターン形成での各エッチング操作をすべてドライ処理し得るのである。

はポジ型レジストを塗布し、所定のパターンに露光、現像させると共に、このレジストパターンをマスクに用い、ウェット、またはドライエッチングして、パターニングされたアルミ電極配線13を選択的に形成させ、かつこのアルミ電極配線13上に、CVD法などにより、窒化珪素膜などの無機絶縁膜による第2の絶縁膜14を500~1000Å程度の厚さに堆積形成させる(第1図(a))。

続いて、前記第2の絶縁膜14上にあつて、スピコート法を用い、チップ表面を保護するためのバッファコート膜となる有機絶縁膜、ここではポリイミド膜からなる表面保護膜15を5~20μm程度の厚さに塗布形成させ(同図(b))、かつこの表面保護膜としての有機絶縁膜15上に、CVD法などにより、窒化珪素膜などの無機絶縁膜による第3の絶縁膜16を500~2000Å程度の厚さに堆積形成させる(同図(c))。

その後、前記第3の絶縁膜16上に、写真製版法により、ネガ型、あるいはポジ型レジストを塗布し、これを所定のパターンに露光、現像させたの

(実 施 例)

以下、この発明に係る半導体装置の製造方法の一実施例につき、第1図および第2図を参照して詳細に説明する。

第1図(a)ないし(f)はこの実施例方法を適用した半導体チップにおける有機絶縁膜を用いた表面保護膜のパターン形成方法での主要な工程段階を順次模式的に示すそれぞれに断面図であり、また、第2図は同上表面保護膜のエッチング工程における別手段を適用した場合を模式的に示す断面図である。

すなわち、これらの第1図において、この実施例での半導体チップにおける有機絶縁膜を用いた表面保護膜のパターン形成方法は、こゝでもシリコン半導体基板11上にあつて、まず、CVD法などにより、酸化珪素膜などの無機絶縁膜による第1の絶縁膜12を堆積形成させ、かつこの第1の絶縁膜12の表面上を、スパッタ法などにより、アルミ層、またはアルミ・シリコン合金層で被覆したのち、写真製版法により、同層上にネガ型、あるい

ち、CF₄ガス18により、このパターニングされたレジストパターン17をマスクに用い、この第3の絶縁膜16を選択的にドライエッチングしてパターン開口させ(同図(d))、かつ引き続き、今度は、O₂ガス19により、前記表面保護膜としての有機絶縁膜15を選択的に等方性ドライエッチングして同様にパターン開口させるが、このとき、前記マスクとしてのレジストパターン17の厚さを、この有機絶縁膜15の厚さよりも薄くしておくことで、第3の絶縁膜16を残したまま、このレジストパターン17のみを灰化除去し得るのである(同図(e))。

次に、再度、CF₄ガス18により、前記残された第3の絶縁膜16、および開口によつてパターニングされた表面保護膜としての有機絶縁膜15をマスクに用い、前記第2の絶縁膜14を選択的にドライエッチングして開口させるが、このとき、エッチングされる第2の絶縁膜14に比較して、表面部に残された第3の絶縁膜16が薄いため、これが同時にエッチング除去されることになり(同図(f))、こ

のようにして、所期通りにチップ表面を保護するための有機絶縁膜による表面保護膜15をパターン形成し得るのである。

つまり、以上のようにして、この実施例方法においては、最上層部におけるレジストパターンの形成と云う、たゞ1回だけの写真製版法の適用によるのみで、所期通りの有機絶縁膜による表面保護膜をパターン形成でき、しかもこのパターン形成における各エッチング操作をすべてドライ処理によつて行ない得ることから、電極配線の表面を荒すような惧れがない。

なお、前記第1図に示す実施例方法においては、表面保護膜としての有機絶縁膜の選択的エッチングに、 O_2 ガス19による等方性ドライエッチングを用いているが、同エッチング工程として、 O_2 ガス19による異方性ドライエッチングを用いることにより、第2図に示されているように、より一層加工精度の高いパターン開口を形成できるのである。

(発明の効果)

本装置を安価に提供し得るなどの優れた特長を有するものである。

4. 図面の簡単な説明

第1図(a)ないし(f)はこの発明方法の一実施例を適用した半導体チップにおける有機絶縁膜を用いた表面保護膜のパターン形成方法での主要な工程段階を順次模式的に示すそれぞれに断面図、第2図は同上表面保護膜のエッチング工程における別手段を適用した場合を模式的に示す断面図であり、また、第3図(a)ないし(d)は従来例方法による同上有機絶縁膜を用いた表面保護膜のパターン形成方法での主要な工程段階を順次模式的に示すそれぞれに断面図である。

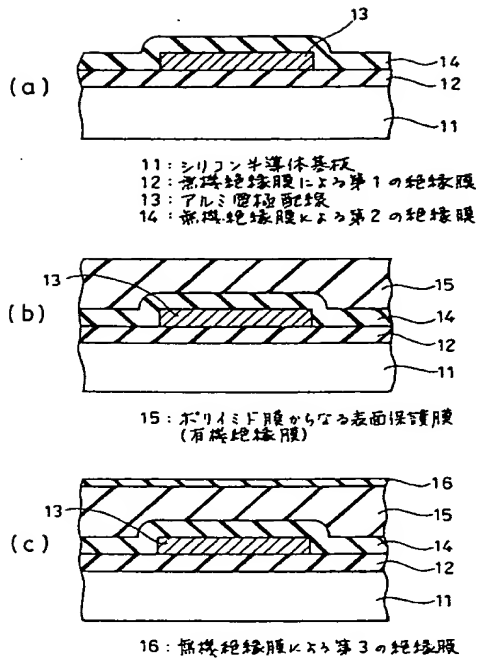
11…シリコン半導体基板、12…酸化珪素膜などの無機絶縁膜による第1の絶縁膜、13…アルミ電極配線、14…窒化珪素膜などの無機絶縁膜による第2の絶縁膜、15…ポリイミド膜からなる表面保護膜(有機絶縁膜)、16…窒化珪素膜などの無機絶縁膜による第3の絶縁膜、17…レジストパターン、18… CF_4 ガス、19… O_2

以上詳述したように、この発明方法によれば、電極配線にあつて、第2の無機絶縁膜、有機絶縁膜からなる表面保護膜、および第3の無機絶縁膜を順次に堆積させるようにし、この状態で、最上層に写真製版法を用いて形成されるレジストパターンをマスクにして第3の無機絶縁膜を、また、この第3の無機絶縁膜をマスクにして表面保護膜を、さらに、この表面保護膜をマスクにして第2の無機絶縁膜をそれぞれ順次選択的にドライエッチングしてパターン開口させるようにしたから、最上層部におけるレジストパターンの形成と云う、たゞ1回だけの写真製版法の適用によるのみで、半導体チップにおける有機絶縁膜を用いた表面保護膜を所期通りにパターン形成でき、その製造工程を効果的に簡略化できて作業性の向上を図り得るのであり、また、この表面保護膜のパターン形成における各エッチング操作をすべてドライ処理できるために、電極配線の表面を荒すような惧れがなく、しかも工程自体も比較的簡単で容易に実施可能で、結果的には、信頼性の高い半導

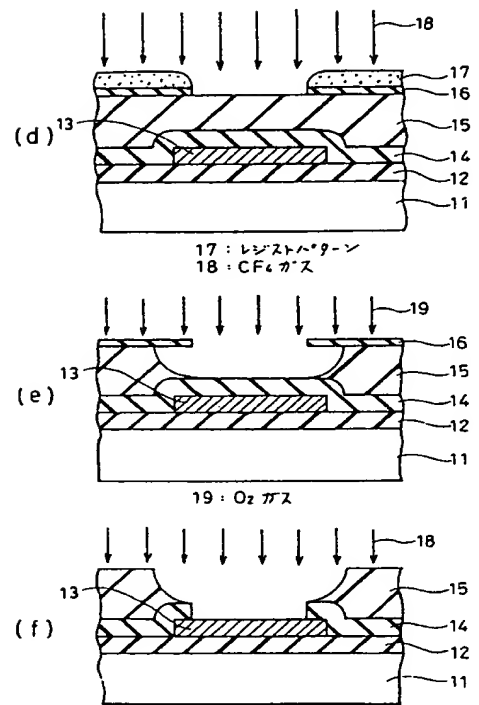
ガス。

代理人 大 岩 増 雄

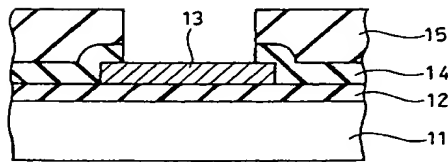
第 1 図



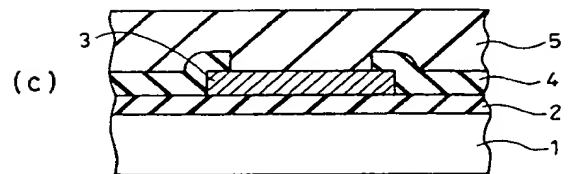
第 1 図



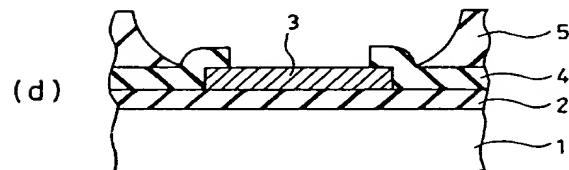
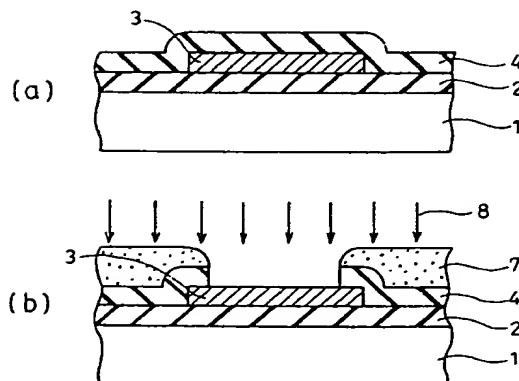
第 2 図



第 3 図



第 3 図



(19) Japan Patent Office (JP)

(12) Publication of Patent Application (A)

(11) Japanese Published Patent Application No. H2-25024

(43) Date of Publication: January 26, 1990

5	(51) Int. Cl. ⁵	Identification Symbol	JPO File Number
	H 01 L 21/302	H	8223-5F
	21/90	S	6824-5F

Request for Examination: Not made

Number of Claims: 1 (5 pages in total)

10 (54) Title of the Invention

METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

(21) Japanese Patent Application No. S63-175520

(22) Application Date: July 13, 1988

(72) Inventor: Hiroshi MOCHIZUKI

15 c/o Mitsubishi Electric Corporation KITAITAMI Works
4-1, Mizuhara, Itami-shi, Hyogo-ken

(72) Inventor: Toru KOYAMA

c/o Mitsubishi Electric Corporation KITAITAMI Works
4-1, Mizuhara, Itami-shi, Hyogo-ken

20 (71) Applicant: Mitsubishi Electric Corporation
2-2-3, Marunouchi, Chiyoda-ku, Tokyo-to

(74) Agent: Patent Attorney Masuo OIWA and two others

Specification

25 1. Title of the Invention

METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

2. Scope of Claim

A method of manufacturing a semiconductor device characterized by comprising the steps of selectively forming an electrode wiring over a semiconductor
30 substrate with a first inorganic insulating film interposed therebetween, and depositing a

second inorganic insulating film over the electrode wiring; forming a surface protective film formed of an organic insulating film over the second inorganic insulating film; depositing a third inorganic insulating film over the surface protective film; forming a pattern opening by selectively dry-etching the third inorganic insulating film, with the use of a resist pattern formed over the third inorganic insulating film as a mask; forming a pattern opening by selectively dry-etching the surface protective film, with the use of the patterned third inorganic insulating film as a mask, and concurrently removing the resist pattern; and forming a pattern opening by selectively dry-etching the second inorganic insulating film, with the use of the patterned surface protective film as a mask, and concurrently removing the third inorganic insulating film.

3. Detailed Description of the Invention

[Field of Industrial Application]

The present invention relates to a method of manufacturing a semiconductor device, and more specifically, to improving a pattern formation method of a surface protective film using an organic insulating film in a semiconductor chip in a semiconductor device.

[Prior Art]

FIGS. 3(a) to (d) each schematically show a main process step of a pattern formation method of a surface protective film using an organic insulating film in a semiconductor chip of the kind in a conventional example.

That is, in FIG. 3, a pattern formation method of a surface protective film in a semiconductor chip in a conventional example is as follows: over a silicon semiconductor substrate 1, first, for example, a first insulating film 2 formed of an inorganic insulating film such as a silicon oxide film is formed by deposition using a CVD (chemical vapor deposition) method or the like; and a surface of this first insulating film 2 is covered with an aluminum layer or an alloy layer of aluminum and silicon using a sputtering method or the like; then, using a photoengraving method, a negative or positive resist is applied over the layer, and exposure and development are performed to form a predetermined pattern, and an aluminum electrode wiring 3 which is patterned is selectively formed by wet or dry etching using this resist pattern as a

mask; and, over this aluminum electrode wiring 3, a second insulating film 4 formed of an inorganic insulating film such as a silicon nitride film is formed by deposition using a CVD method or the like ((a) in FIG 3).

Subsequently, over the second insulating film 4, using a photoengraving method, a negative or positive resist is applied, and exposure and development are performed on this to form a predetermined pattern. Then, the second insulating film 4 is selectively dry-etched using this patterned resist pattern 7 as a mask to form a pattern opening, using a CF_4 gas 8 ((b) in the same figure).

After that, the resist pattern 7 used as the mask is removed by ashing using an O_2 gas 8. Then, as a buffer coat film which protects a chip surface, a surface protective film 5 using an organic insulating film formed of a polyimide film is formed by application thereover ((c) in the same figure).

Further, over the surface protective film 5, using a photoengraving method again, a negative or positive resist is applied, and exposure and development are performed on this to form a predetermined pattern. Then, this surface protective film 5 is selectively wet-etched, using this patterned resist pattern as a mask, to form a pattern opening larger than an opening in the second insulating film 4; and finally, the resist pattern used as the mask is removed ((d) in the same figure). In this manner, the surface protective film 5 using an organic insulating film which protects a chip surface is formed by patterning as expected.

[Problems to be Solved by the Invention]

However, in a conventional pattern formation method of the surface protective film 5 using an organic insulating film which is implemented as described above, there are the following problems. Since it is necessary to perform a photoengraving step twice after the pattern-formation of the aluminum electrode wiring 3, the work becomes extremely troublesome and takes a lot of time. In addition, the polyimide film which is the surface protective film 5 can be dry-etched only by an O_2 gas; thus, dry etching using a resist pattern as a mask in a normal manner cannot be performed, and therefore, inevitably wet etching is employed. When wet etching is employed, a surface of the aluminum electrode 3 is easily damaged, which is undesirable in terms of chip

reliability.

The present invention is made to solve such conventional problems, and it is an object of the present invention to provide a method of manufacturing a semiconductor device of the kind in which a photoengraving step that accompanies pattern formation of a surface protective film using an organic insulating film is performed only once and all etching operations in the pattern formation can be performed by dry treatment; here, a pattern formation method of a surface protective film using an organic insulating film.

[Means for Solving the Problem]

To accomplish the aforementioned object, a method of manufacturing a semiconductor device relating to the present invention is implemented as follows: a second inorganic insulating film, a surface protective film formed of an organic insulating film, and a third inorganic insulating film are sequentially deposited over an electrode wiring, and a pattern opening is formed by successively and selectively dry-etching the third inorganic insulating film using a resist pattern formed on a topmost layer as a mask; the surface protective film, using the third inorganic insulating film as a mask; and the second inorganic insulating film, using the surface protective film as a mask.

That is, the present invention is a method of manufacturing a semiconductor device characterized by comprising the steps of selectively forming an electrode wiring over a semiconductor substrate with a first inorganic insulating film interposed therebetween, and depositing a second inorganic insulating film over the electrode wiring; forming a surface protective film formed of an organic insulating film over the second inorganic insulating film; depositing a third inorganic insulating film over the surface protective film; forming a pattern opening by selectively dry-etching the third inorganic insulating film, with the use of a resist pattern formed over the third inorganic insulating film as a mask; forming a pattern opening by selectively dry-etching the surface protective film, with the use of the patterned third inorganic insulating film as a mask, and concurrently removing the resist pattern; and forming a pattern opening by selectively dry-etching the second inorganic insulating film, with the use of the patterned surface protective film as a mask, and concurrently removing the third

inorganic insulating film.

[Operation]

Accordingly, in a method of the present invention, a second inorganic insulating film, a surface protective film formed of an organic insulating film, and a third inorganic insulating film are sequentially deposited over an electrode wiring, and in this state, a pattern opening is formed by successively and selectively dry-etching the third inorganic insulating film using a resist pattern formed by a photoengraving method on a topmost layer as a mask; the surface protective film, using the third inorganic insulating film as a mask; and the second inorganic insulating film, using the surface protective film as a mask. Therefore, by using a photoengraving method only once, a surface protective film formed of an organic insulating film in a semiconductor chip as expected can be formed by patterning, and each etching operation in the pattern formation can be performed by dry treatment.

[Embodiment]

Hereinafter, an embodiment of a method of manufacturing a semiconductor device according to the present invention is described in detail with reference to FIG. 1 and FIG. 2.

FIGS. 1(a) to (f) are cross-sectional views which sequentially and schematically show main process steps in a pattern formation method of a surface protective film using an organic insulating film in a semiconductor chip, to which the method of this embodiment is applied. FIG. 2 is a cross-sectional view schematically showing a case where another means is applied in an etching step of the surface protective film.

That is, in FIG. 1, a pattern formation method of a surface protective film using an organic insulating film in a semiconductor chip in this embodiment is as follows: also in this method, over a silicon semiconductor substrate 11, first, a first insulating film 12 formed of an inorganic insulating film such as a silicon oxide film is formed by deposition using a CVD method or the like; and a surface of this first insulating film 12 is covered with an aluminum layer or an alloy layer of aluminum and silicon using a sputtering method or the like; then, using a photoengraving method, a negative or

positive resist is applied over the layer, and exposure and development are performed to form a predetermined pattern, and an aluminum electrode wiring 13 which is patterned is selectively formed by wet or dry etching using this resist pattern as a mask; and, over this aluminum electrode wiring 13, a second insulating film 14 formed of an inorganic insulating film such as a silicon nitride film is formed by deposition using a CVD method or the like to a thickness of approximately 500 ~ 1000 Å ((a) in FIG. 1).

Subsequently, over the second insulating film 14, an organic insulating film which is to be a buffer coat film for protecting a chip surface; here, a surface protective film 15 formed of a polyimide film; is formed by application to a thickness of approximately 5 ~ 20 μm using a spin coating method ((b) in the same figure); and over this organic insulating film 15, which is a surface protective film, a third insulating film 16 formed of an inorganic insulating film such as a silicon nitride film is formed by deposition using a CVD method or the like to a thickness of approximately 500 ~ 2000 Å ((c) in the same figure).

After that, over the third insulating film 16, using a photoengraving method, a negative or positive resist is applied, and exposure and development are performed on this to form a predetermined pattern. Then, a pattern opening is formed by selectively dry-etching this third insulating film 16 using this patterned resist pattern 17 as a mask, and using a CF₄ gas 18 ((d) in the same figure), and subsequently, a pattern opening is formed in a similar manner by selectively isotropically dry-etching the organic insulating film 15 which is the surface protective film using an O₂ gas 19. At this time, the thickness of the resist pattern 17 which is the mask is made smaller than the thickness of this organic insulating film 15, and thus this resist pattern 17 only can be removed by ashing while the third insulating film 16 is left intact ((e) in the same figure).

Next, an opening is formed by selectively dry-etching the second insulating film 14 using the left intact third insulating film 16 and the organic insulating film 15 which is the surface protective film patterned by the opening, as masks, and using the CF₄ gas 18 again. At this time, since the third insulating film 16 which is left intact in a surface portion is thinner than the second insulating film 14 which is etched, they are

concurrently removed by etching ((f) in the same figure). In this manner, the surface protective film 15 formed of an organic insulating film for protecting a chip surface can be formed by patterning as expected.

That is, as described above, in the method of this embodiment, by applying a photoengraving method only once, for the formation of the resist pattern in a topmost layer portion, the surface protective film using an organic insulating film as expected can be formed by patterning, and each etching operation in this pattern formation can be performed by dry treatment. Thus, there is no fear of damage to a surface of the electrode wiring.

Note that, in the method of the embodiment shown in FIG. 1, isotropic dry etching using the O₂ gas 19 is employed for selectively etching the organic insulating film which is the surface protective film. However, by employing anisotropic dry etching using the O₂ gas 19 for the etching step, a pattern opening with higher processing accuracy can be formed, as shown in FIG. 2.

[Effects of the Invention]

As described above in detail, according to a method of the present invention, a second inorganic insulating film, a surface protective film formed of an organic insulating film, and a third inorganic insulating film are sequentially deposited over an electrode wiring, and in this state, a pattern opening is formed by successively and selectively dry-etching the third inorganic insulating film using a resist pattern formed using a photoengraving method on a topmost layer as a mask; the surface protective film, using the third inorganic insulating film as a mask; and the second inorganic insulating film, using the surface protective film as a mask. Therefore, by applying a photoengraving method only once, for the formation of a resist pattern in a topmost layer portion, a surface protective film using an organic insulating film in a semiconductor chip can be formed by patterning as expected, and a manufacturing process thereof can be effectively simplified and improvement in workability can be achieved. Further, the invention possesses excellent features such as the following: since each etching operation in the pattern formation of the surface protective film can be performed by dry treatment, there is no fear of damage to a surface of the electrode

wiring, and the process itself is comparatively simple and can be easily implemented. Accordingly, a semiconductor device with high reliability can be provided at low cost.

4. Brief Description of the Drawings

FIGS. 1(a) to (f) are cross-sectional views which sequentially and schematically show main process steps in a pattern formation method of a surface protective film using an organic insulating film in a semiconductor chip, to which an embodiment of the method of the present invention is applied; FIG. 2 is a cross-sectional view schematically showing a case where another means is applied in an etching step of the surface protective film; and FIGS. 3(a) to (d) are cross-sectional views which sequentially and schematically show main process steps in a pattern formation method of a surface protective film using the organic insulating film according to a method of a conventional example.

11...silicon semiconductor substrate, 12...first insulating film formed of inorganic insulating film such as silicon oxide film, 13...aluminum electrode wiring, 14...second insulating film using inorganic insulating film such as silicon nitride film, 15...surface protective film (organic insulating film) formed of polyimide film, 16...third insulating film formed of inorganic insulating film such as silicon nitride film, 17...resist pattern, 18...CF₄ gas, and 19...O₂ gas.